

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-128575

(43)Date of publication of application : 22.05.1989

(51)Int.Cl.

H01L 29/78

H01L 21/20

H01L 21/268

H01L 27/00

H01L 27/12

(21)Application number : 62-285557

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.11.1987

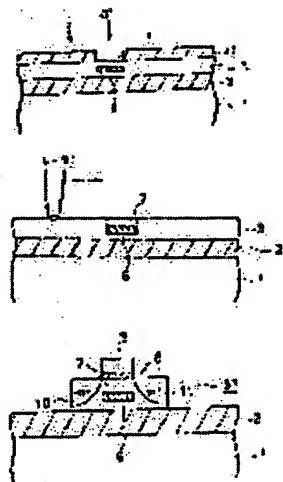
(72)Inventor : KAWAMURA SEIICHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To flatten the surface of a single crystal silicon layer forming an SOI substrate and to prevent inclusion of a grain boundary into the single crystal silicon layer, by removing an ion implanting mask 41, projecting argon laser in a scanning mode, and converting a polycrystalline silicon layer on the upper part of a silicon dioxide layer into the single crystal silicon layer.

CONSTITUTION: A silicon dioxide layer 6 is formed in a region, which is not masked with an ion implanting mask 41, in a polycrystalline silicon layer 3. After the mask 41 is removed, a silicon substrate is kept at the state the substrate is heated to about 500°C. Continuous wave argon laser of 8~10W is at a speed of 15 cm/sec. The polycrystalline silicon layer 3 at a region of a thickness of about 0.2μm at the upper part of the silicon dioxide layer 6 is converted into a single crystal silicon layer 7. The polycrystalline silicon layer 3 undergoes mesa etching, and an SOI substrate 31 comprising the single crystalline silicon layer 7 and the silicon dioxide layer 6 is formed. A gate insulating film 8 and a gate electrode 9 are formed. With the gate electrode 9 as a mask, n-type impurity ions are implanted, and a source 10 and a drain 11 are formed. Thus a MOS field effect transistor is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(J.P.)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-128575

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)5月22日

H 01 L 29/78
21/20
21/268
27/00
27/12

3 1 1

Z-7925-5F
7739-5F

3 0 1

R-8122-5F
S-8122-5F
7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭62-285557

⑰ 出 願 昭62(1987)11月13日

⑱ 発 明 者 河 村 誠 一 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 寒川 誠一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

〔1〕シリコン基板(1)の表面に二酸化シリコン層(2)を形成し、

該二酸化シリコン層(2)上に、多結晶シリコン層(3)を形成し、

該多結晶シリコン層(3)上に、レジスト膜(4)を形成し、電界効果トランジスタのゲート電極形成領域のみに不透光領域を有するマスク

(5)を使用して、前記レジスト膜(4)を露光した後、現像して、イオン注入用マスク(41)を形成し、

前記イオン注入用マスク(41)を使用して、酸素イオンをイオン注入し、熱処理をなし、前記多結晶シリコン層(3)のうちイオン注入用マスク(41)によってマスクされていない領域の所望の深さに二酸化シリコン層(6)を形成し、

前記イオン注入用マスク(41)を除去した後、

アルゴンレーザを走査的に照射して前記二酸化シリコン層(6)上部の多結晶シリコン層(3)を単結晶シリコン層(7)に転換する

工程を有することを特徴とする半導体装置の製造方法。

〔2〕前記熱処理は、前記アルゴンレーザを走査的に照射する時の加熱冷却作用によって実現されることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔概要〕

半導体装置の製造方法の改良、特に、SOI(シリコンオンインシュレータ)型MOS電界効果トランジスタ用SOI基板の製造方法の改良に関し、

SOI基板を形成する単結晶シリコン層の表面が平坦であり、単結晶シリコン層に結晶粒界を含まないように改良した半導体装置の製造方法を提供することを目的とし、

シリコン基板の表面に二酸化シリコン層を形成

し、該二酸化シリコン層上に、CVD法等を使用して多結晶シリコン層を形成し、該多結晶シリコン層上に、レジスト膜を形成し、MOS電界効果トランジスタのゲート電極形成領域のみに不透光領域を有するマスクを使用して、前記レジスト膜を露光した後、現像して、イオン注入用マスクを形成し、前記イオン注入用マスクを使用して、酸素イオンを注入し、熱処理をなし、前記多結晶シリコン層のうちイオン注入用マスクによってマスクされていない領域の所望の深さに二酸化シリコン層を形成し、前記イオン注入用マスクを除去した後、アルゴンレーザを走査的に照射し、前記二酸化シリコン層上部の多結晶シリコン層を単結晶シリコン層に転換する工程とを含むように構成する。

〔産業上の利用分野〕

本発明は、半導体装置の製造方法の改良に関する。特に、SOI（シリコンオンインシュレータ）型MOS電界効果トランジスタ用SOI基板

結晶粒界が多数入り、(ロ)および(ハ)の方法による場合は、形成される単結晶シリコンの表面が平坦でなく、凹凸ができ、デバイス製作上障害となることがある。

本発明の目的は、この欠点を解消することであり、SOI基板を形成する単結晶シリコン層の表面が平坦であり、単結晶シリコン層に結晶粒界が入らないように改良した半導体装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

上記の目的は、シリコン基板(1)の表面に二酸化シリコン層(2)を形成し、この二酸化シリコン層(2)上に、CVD法等を使用して多結晶シリコン層(3)を形成し、この多結晶シリコン層(3)上に、レジスト膜(4)を形成し、MOS電界効果トランジスタのゲート電極形成領域のみに不透光領域を有するマスク(5)を使用して、前記レジスト膜(4)を露光した後、現像して、イオン注入用マスク(41)を形成し、このイオン

の製造方法の改良に関する。

〔従来の技術〕

二酸化シリコン絶縁層上に形成された多結晶シリコンをレーザ再結晶化技術によって単結晶化し、SOI基板を製造する代表的な方法として次の方法がある。

(イ) 特に再結晶化のための種を作らず、レーザを走査的に照射することによる再結晶を行う。

(ロ) 多結晶シリコン層の下地をなす二酸化シリコン層の膜厚を部分的に薄くし、レーザ再結晶を行う。この場合、二酸化シリコン層の膜厚の薄い領域に単結晶シリコンが成長する。(ハ) 多結晶シリコン層上に、部分的に反射防止膜を形成し、レーザ再結晶化を行う。この場合、反射防止膜が形成されていない領域に単結晶シリコンが成長する。

〔発明が解決しようとする問題点〕

前記(イ)の方法によって単結晶化する場合は、

注入用マスク(41)を使用して、酸素イオンをイオン注入し、熱処理をなし、前記多結晶シリコン層(3)のうちイオン注入用マスク(41)によってマスクされていない領域の所望の深さに二酸化シリコン層(6)を形成し、前記イオン注入用マスク(41)を除去した後、アルゴンレーザを走査的に照射して前記二酸化シリコン層(6)上部の多結晶シリコン層(3)を単結晶シリコン層(7)に転換することによって達成される。

〔作用〕

本発明に係る半導体装置の製造方法においては、二酸化シリコン層2上に形成された多結晶シリコン層3のうち、酸素イオン注入および熱処理によって形成された二酸化シリコン層6の上部領域のみが、他の領域よりも薄く形成されているため熱容量が小さく、アルゴンレーザを走査すると、前記の二酸化シリコン層6の上部領域に形成されている薄い多結晶シリコン層が熱容量が小さく早く固化するため結晶粒界のない良好な単結晶シリ

コン層7に転換される。

(実施例)

以下、図面を参照しつつ、本発明の一実施例に係る半導体装置の製造方法について説明する。

第1a図、第1b図参照

シリコン基板1の表面に二酸化シリコン層2を形成し、この二酸化シリコン層2上に、CVD法等を使用して多結晶シリコン層3を0.5 μ m程度の厚さに形成し、この多結晶シリコン層3上に、レジスト膜4を形成し、MOS電界効果トランジスタのゲート電極形成領域のみに不透光領域を有するマスク5を使用して、前記レジスト膜4を露光した後、現像して、イオン注入用マスク41を形成する。

第1c図参照

前記イオン注入用マスク41を使用して、酸素イオンを、注入エネルギー 200keV、ドーズ量 $1.5 \times 10^{16}/\text{cm}^2$ 程度をもって注入し、熱処理をなし、前記多結晶シリコン層3のうちイオン注入用マ

成されているMOS電界効果トランジスタを形成する。

(発明の効果)

以上説明せるとおり、本発明に係る半導体装置の製造方法においては、シリコン基板の表面に二酸化シリコン層を形成し、この二酸化シリコン層上に、CVD法等を使用して多結晶シリコン層を形成し、MOS電界効果トランジスタのゲート電極形成領域以外にイオン注入用マスクを形成し、このイオン注入用マスクを使用して酸素イオンを注入し、熱処理をなし、前記多結晶シリコン層のうちイオン注入用マスクによってマスクされていない領域の所望の深さに二酸化シリコン層を形成し、前記イオン注入用マスクを除去した後、アルゴンレーザを走査的に照射し、前記二酸化シリコン層上部の多結晶シリコン層を平坦な凹凸のない単結晶シリコン層に転換し、二酸化シリコン層によって素子分離され、小面積の他の二酸化シリコン層上には単結晶層が局部的に形成され、この二

ク41によってマスクされていない領域の、表面から0.2 μ m程度の深さの局限された領域に0.2 μ m程度の厚さの二酸化シリコン層6を形成する。

第1d図参照

前記イオン注入用マスク41を除去した後、シリコン基板を500℃程度に加熱した状態に保持して、8~10wの連続波アルゴンレーザを15cm/sec程度の速度で走査し、前記二酸化シリコン層6上部の厚さ0.2 μ m程度の領域の多結晶シリコン層3を単結晶シリコン層7に転換する。

第2図参照

前記多結晶シリコン層3をメサエッチングをなして、図に示すように、単結晶シリコン層7と二酸化シリコン層6とよりなるSOI基板31を形成し、周知の方法によってゲート絶縁膜8とゲート電極9とを形成し、このゲート電極9をマスクとしてn型の不純物をイオン注入して、ソース10・ドレイン11を形成し、二酸化シリコン層2をもって素子分離され、二酸化シリコン層6上に単結晶シリコン層7が形成されているSOI基板31に形

成されているSOI構造体が製造されるので、上記の単結晶層上にMOS電界効果トランジスタのゲート電極を形成すれば、チャンネルが形成されるゲート電極の下部は結晶粒界のない単結晶シリコン層であり、一方、ソース・ドレイン領域は、結晶粒界を多少は含んでいるが導電性の良いシリコン層が形成されており、すぐれた電界効果トランジスタとして動作することになる。

また、ゲートの下部領域のみが二酸化シリコン層であるので、ショートチャンネルのMOS電界効果トランジスタの場合、パンチスルーに強いデバイスとすることができるという副次的効果もある。

さらに、CMOSにした場合ラッチアップ防止の効果もある。

なお、酸素イオン注入後の熱処理は実行せず、レーザ走査時の加熱冷却作用をもって代用することもできる。

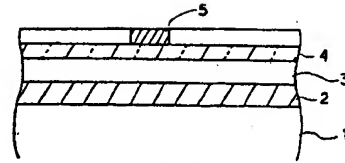
4. 図面の簡単な説明

第1a、1b、1c、1d図は、本発明の一実施

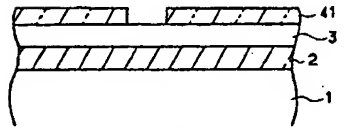
例に係る半導体装置の製造方法の工程図である。

第2図は、本発明の一実施例に係るSOI型MOS電界効果トランジスタの構造図である。

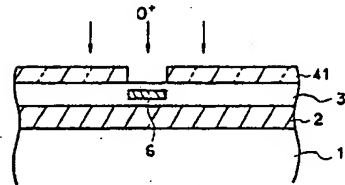
- 1・・・シリコン基板、
- 2・・・二酸化シリコン層、
- 3・・・多結晶シリコン層、
- 31・・・単結晶シリコン層7と二酸化シリコン層6との二重層よりなるSOI基板、
- 4・・・レジスト層、
- 41・・・イオン注入用マスク、
- 5・・・マスク、
- 6・・・二酸化シリコン層、
- 7・・・単結晶シリコン層、
- 8・・・ゲート絶縁膜、
- 9・・・ゲート電極、
- 10・・・ソース、
- 11・・・ドレイン。



工程図
第1a図

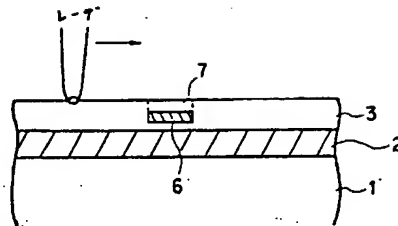


工程図
第1b図

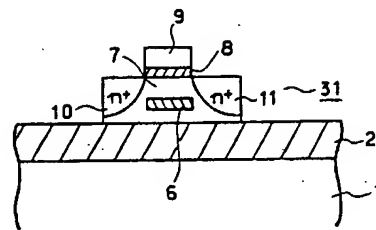


工程図
第1c図

代理人 井理士 寒川誠一



工程図
第1d図



MOS FETの構造図

第2図